

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-195972

(43)公開日 平成11年(1999) 7月21日

(51)Int.Cl.⁹

識別記号

F I

H 0 3 K 17/687

H 0 3 K 17/687

G

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号 特願平9-360304

(22)出願日 平成9年(1997)12月26日

(71)出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 泉 雅裕

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 秋山 茂夫

大阪府門真市大字門真1048番地松下電工株式会社内

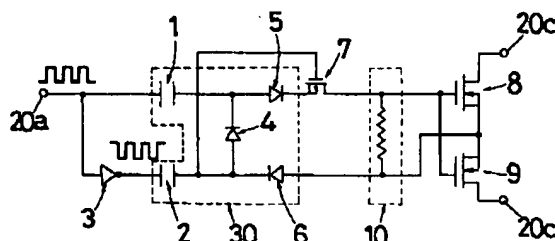
(74)代理人 弁理士 安藤 淳二 (外1名)

(54)【発明の名称】 半導体スイッチ

(57)【要約】

【課題】 出力用MOSFETのドレインソース間のインピーダンス状態が変化するのに時間がかからないようにする。

【解決手段】 入力された制御信号の位相を変換するインバータ3と、入力された順逆両相の制御信号を出力側へそれぞれ伝えるためのコンデンサ1,2と、コンデンサ1,2と共に倍電圧整流回路30をなすダイオード4,5,6と、制御信号が倍電圧整流回路30を介してゲートソース間に印加して充電されるとドレインソース間が低インピーダンス状態又は高インピーダンス状態へと変化する出力用MOSFET8,9と、出力用MOSFET8,9のゲートソース間に充電された電荷を放電する放電回路10と、を備えた半導体スイッチにおいて、ドレインソース間の位相とは逆位相の制御信号がゲートに入力されるとドレインソース間が低インピーダンス状態へ変化するスイッチング用MOSFET7が、コンデンサ1,2と出力用MOSFET8,9のゲート又はソースの少なくとも一方との間に接続された構成にしてある。



【特許請求の範囲】

【請求項1】 入力された制御信号の位相を変換するインバータと、入力された順逆両相の制御信号を出力側へそれぞれ伝えるためのコンデンサと、コンデンサと共に倍電圧整流回路をなすダイオードと、制御信号が倍電圧整流回路を介してゲートソース間に印加して充電されるとドレインソース間が低インピーダンス状態又は高インピーダンス状態へと変化する出力用MOSFETと、出力用MOSFETのゲートソース間に充電された電荷を放電する放電回路と、を備えた半導体スイッチにおいて、

ドレインソース間の位相とは逆位相の前記制御信号がゲートに入力されるとドレインソース間が低インピーダンス状態へ変化するスイッチング用MOSFETが、前記コンデンサと前記出力用MOSFETのゲート又はソースの少なくとも一方との間に接続されたことを特徴とする半導体スイッチ。

【請求項2】 前記スイッチング用MOSFETは、前記コンデンサと前記出力用MOSFETのゲートとの間及び前記コンデンサと前記出力用MOSFETのソースとの間のいずれにも接続されたことを特徴とする請求項1記載の半導体スイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入出力間が電氣的に絶縁された半導体スイッチに関する。

【0002】

【従来の技術】従来、この種の半導体スイッチとして、図6に示されたものがある。このものは、入力された制御信号の位相を変換するインバータInと、入力された順逆両相の制御信号を出力側へそれぞれ伝えるためのコンデンサCと、コンデンサCと共に倍電圧整流回路DVをなすダイオードD₁、D₂、D₃と、制御信号が倍電圧整流回路DVを介してゲートソース間に印加して充電されるとドレインソース間が低インピーダンス状態へ変化する出力用MOSFETと、出力用MOSFETのゲートソース間に充電された電荷を放電する放電回路DCと、を備えている。

【0003】このものの動作を説明する。入力端子から制御信号が入力されると、その制御信号は、順位相のものがコンデンサCを介して倍電圧整流回路DVに交流成分のみ入力されるとともに、インバータInにより位相が変換された逆位相のものも、コンデンサCを介して交流成分のみ倍電圧整流回路DVに入力される。こうして倍電圧整流回路DVに入力された制御信号の交流成分は、順位相のものがダイオードD₂の順方向に入力されたときのみ、印加電圧が2倍となって、対をなした出力用MOSFETのゲートソース間に印加され、それらの出力用MOSFETのゲートソース間が充電されると、いずれの出力用MOSFETのドレインソース間も、高イ

ンピーダンス状態から低インピーダンス状態へと変化する。

【0004】また、入力端子から制御信号が入力されなくなると、両出力用MOSFETのゲートソース間に充電された電荷は、放電回路DCを通して放電されるので、いずれの両出力用MOSFETのドレインソース間も、低インピーダンス状態から高インピーダンス状態へと変化する。

【0005】

【発明が解決しようとする課題】上記した従来の半導体スイッチにあっては、入力端子から制御信号が入力されなくなると、両出力用MOSFETのゲートソース間に充電された電荷が放電されるときに、コンデンサCに充電された電荷も放電されることとなり、その放電された電荷が、両出力用MOSFETのゲートに流れ込むようになって、両出力用MOSFETのゲートソース間に充電された電荷の放電が遅くなり、両出力用MOSFETのドレインソース間が、低インピーダンス状態から高インピーダンス状態に変化するのに時間がかかるという問題点があった。

【0006】本発明は、上記の点に着目してなされたもので、その目的とするところは、出力用MOSFETのドレインソース間のインピーダンス状態が変化するのに時間がかからない半導体スイッチを提供することにある。

【0007】

【課題を解決するための手段】上記した課題を解決するために、請求項1記載の発明は、入力された制御信号の位相を変換するインバータと、入力された順逆両相の制御信号を出力側へそれぞれ伝えるためのコンデンサと、コンデンサと共に倍電圧整流回路をなすダイオードと、制御信号が倍電圧整流回路を介してゲートソース間に印加して充電されるとドレインソース間が低インピーダンス状態又は高インピーダンス状態へと変化する出力用MOSFETと、出力用MOSFETのゲートソース間に充電された電荷を放電する放電回路と、を備えた半導体スイッチにおいて、ドレインソース間の位相とは逆位相の前記制御信号がゲートに入力されるとドレインソース間が低インピーダンス状態へ変化するスイッチング用MOSFETが、前記コンデンサと前記出力用MOSFETのゲート又はソースの少なくとも一方との間に接続された構成にしてある。

【0008】請求項2記載の発明は、請求項1記載の発明において、前記スイッチング用MOSFETは、前記コンデンサと前記出力用MOSFETのゲートとの間及び前記コンデンサと前記出力用MOSFETのソースとの間のいずれにも接続された構成にしてある。

【0009】

【発明の実施の形態】本発明の第1実施形態を図1に基づいて以下に説明する。この半導体スイッチは、第1の

コンデンサ1、第2のコンデンサ2、インバータ3、第1のダイオード4、第2のダイオード5、第3のダイオード6、スイッチング用MOSFET7、第1の出力用MOSFET8、第2の出力用MOSFET9、放電回路10を備えて構成されている。

【0010】第1のコンデンサ1は、入力端子20aに接続され、入力端子20aに入力された正位相の制御信号の交流成分のみを出力側へ伝えるために、直流成分を遮断する。

【0011】第2のコンデンサ2は、インバータ3を介して入力端子20aに接続され、入力端子20aに入力されて後にインバータ3により位相が変換された逆位相の制御信号の交流成分のみを出力側へ伝えるために、直流成分を遮断する。

【0012】第1のダイオード4は、そのカソードが第1のコンデンサ1の出力側に、アノードが第2のコンデンサ2の出力側に接続されることによって、第1のコンデンサ1と第2のコンデンサ2との間に接続されている。第2のダイオード5は、そのアノードが第1のダイオード4のカソード及び第1のコンデンサ1の出力側に接続されている。第3のダイオード6は、そのカソードが第1のダイオード4のアノード及び第2のコンデンサ2の出力側に接続されている。これらの第1乃至第3のダイオード4,5,6は、上述したように接続されることによって、第1及び第2のコンデンサ1,2と共に、倍電圧整流回路30を構成している。

【0013】スイッチング用MOSFET7は、Pチャンネルであって、そのソースが第2のダイオード5のカソードに接続され、つまり、第2のダイオード5を介して第1のコンデンサ1に接続され、ドレインが第1及び第2の出力用MOSFET8,9のゲートにそれぞれ接続されている。このスイッチング用MOSFET7は、そのゲートが第2のコンデンサ2の出力側に接続されることにより、ドレインソース間の位相とは逆位相の制御信号がゲートに輸入可能となっている。

【0014】第1及び第2の出力用MOSFET8,9は、いずれもNチャンネルのエンハンスメント型であって、それぞれのソースが第3のダイオード6のアノードにそれぞれ接続され、いずれのドレインも出力端子20b, 20cに接続されている。

【0015】放電回路10は、放電用抵抗からなり、第1及び第2の出力用MOSFET8,9のそれぞれのゲートソース間に接続されている。

【0016】このものの動作を説明する。入力端子20aから制御信号が入力されて、正の制御信号が第1のコンデンサ1に入力されるとともに、インバータ4により位相が変換された負の制御信号が第2のコンデンサ2に入力されると、ドレインソース間の位相とは逆位相の制御信号がゲートに輸入されてかつソースの電位がドレインの電位よりも高いPチャンネルのスイッチング用MOS

FET7が、高インピーダンス状態から低インピーダンス状態へと変化する。

【0017】こうして、スイッチング用MOSFET7が高インピーダンス状態から低インピーダンス状態になると、第1及び第2の出力用MOSFET8,9は、倍電圧整流回路30及び高インピーダンス状態から低インピーダンス状態になったスイッチング用MOSFET7を介して、制御信号が印加されて、詳しくは、順位相の制御信号が第2のダイオード5の順方向に入力されたときのみ、第1のコンデンサ1への入力時の2倍の印加電圧を有した制御信号が印加されて、それぞれのゲートソース間に電荷が充電され、ドレインソース間が高インピーダンス状態から低インピーダンス状態へと変化する。

【0018】そして、入力端子20aから制御信号が入力されなくなると、出力用MOSFET8,9は、それぞれのゲートソース間に充電された電荷が放電回路10を通過して放電するから、ドレインソース間が低インピーダンス状態から高インピーダンス状態へと変化する。

【0019】一方、スイッチング用MOSFET7は、そのゲートにドレインソース間の位相とは逆位相の制御信号が入力されなくなるから、ドレインソース間が低インピーダンス状態から高インピーダンス状態へと変化する。従って、第1及び第2のコンデンサ1,2に充電された電荷は、第1及び第2の出力用MOSFET8,9のいずれのゲートにも流れ込まなくなる。

【0020】かかる半導体スイッチにあっては、制御信号が入力されなくなると、第1のコンデンサ1と第1及び第2の出力用MOSFET8,9のゲートとの間に接続されたスイッチング用MOSFET7は、そのゲートにドレインソース間の位相とは逆位相の制御信号が入力されなくなると、ドレインソースが低インピーダンス状態でなくなるから、従来例とは異なって、第1及び第2のコンデンサ1,2に充電された電荷の第1及び第2の出力用MOSFET8,9のゲートへの流れ込みが阻止されて、第1及び第2の出力用MOSFET8,9のゲートソース間に充電された電荷の放電が遅くならないので、第1及び第2の出力用MOSFET8,9のドレインソース間が、低インピーダンス状態から高インピーダンス状態に変化するのに時間がかからなくなる。

【0021】次に、本発明の第2実施形態を図2に基づいて以下に説明する。なお、第1実施形態と実質的に同一の素子には同一の符号を付し、第1実施形態と異なるところのみ記す。第1実施形態では、スイッチ用MOSFET7は、第1のコンデンサ1と出力用MOSFET8,9のゲートとの間に接続されているのに対し、本実施形態では、第2のコンデンサと出力用MOSFET8,9のソースとの間に接続された構成になっている。

【0022】詳しくは、スイッチング用MOSFET7は、Nチャンネルであって、そのソースが第3のダイオード6のカソードに接続され、つまり、第3のダイオ

ド6を介して第2のコンデンサ2に接続され、ドレインが第1及び第2の出力用MOSFET8,9のソースにそれぞれ接続されている。このスイッチング用MOSFET7は、そのゲートが第1のコンデンサ1の出力側に接続されることにより、ドレインソース間の位相とは逆位相の制御信号がゲートに入力可能となっている。

【0023】このものの動作を説明する。入力端子20aから制御信号が入力されて、正の制御信号が第1のコンデンサ1に入力されるとともに、インバータ4により位相が変換された負の制御信号が第2のコンデンサ2に入力されると、ドレインソース間の位相とは逆位相の制御信号がゲートに入力されてかつソースの電位がドレインの電位よりも高いNチャンネルのスイッチング用MOSFET7が、高インピーダンス状態から低インピーダンス状態へと変化する。

【0024】こうして、スイッチング用MOSFET7が高インピーダンス状態から低インピーダンス状態になると、第1及び第2の出力用MOSFET8,9は、第1実施形態と同様に、それぞれのゲートソース間に電荷が充電され、ドレインソース間が高インピーダンス状態から低インピーダンス状態へと変化する。

【0025】そして、入力端子20aから制御信号が入力されなくなると、出力用MOSFET8,9は、それぞれのゲートソース間に充電された電荷が放電回路10を通過して放電するから、第1実施形態と同様に、ドレインソース間が低インピーダンス状態から高インピーダンス状態へと変化する。

【0026】一方、スイッチング用MOSFET7は、そのゲートにドレインソース間の位相とは逆位相の制御信号が入力されなくなるから、第1実施形態と同様に、ドレインソース間が低インピーダンス状態から高インピーダンス状態へと変化する。従って、第1及び第2のコンデンサ1,2に充電された電荷は、第1及び第2の出力用MOSFET8,9のいずれのゲートにも流れ込まなくなる。

【0027】かかる半導体スイッチにあっては、第1実施形態と同様の効果を奏することができる。

【0028】次に、本発明の第3実施形態を図3に基づいて以下に説明する。なお、第1実施形態と実質的に同一の素子には同一の符号を付し、第1実施形態と異なるところのみ記す。第1実施形態では、1つのスイッチング用MOSFET7が接続されているのに対し、本実施形態では、第1のスイッチング用MOSFET7a及び第2のスイッチング用MOSFET7bという2つのスイッチング用MOSFET7が接続された構成になっている。

【0029】詳しくは、第1のスイッチング用MOSFET7aは、第1実施形態におけるスイッチング用MOSFET7と同様に、Pチャンネルであって、第1のコンデンサ1と出力用MOSFET8,9のゲートとの間に接

続されるとともに、そのゲートが第2のコンデンサ2の出力側に接続されることにより、ドレインソース間の位相とは逆位相の制御信号がゲートに入力可能となっている。

【0030】第2のスイッチング用MOSFET7bは、第2実施形態におけるスイッチング用MOSFET7と同様に、Nチャンネルであって、第2のコンデンサ2と出力用MOSFET8,9のソースとの間に接続されるとともに、そのゲートが第1のコンデンサ1の出力側に接続されることにより、ドレインソース間の位相とは逆位相の制御信号がゲートに入力可能となっている。

【0031】このものの動作を説明する。入力端子20aから制御信号が入力されて、正の制御信号が第1のコンデンサ1に入力されるとともに、インバータ4により位相が変換された負の制御信号が第2のコンデンサ2に入力されると、第1のスイッチング用MOSFET7aが、第1実施形態におけるスイッチング用MOSFET7と同様に、高インピーダンス状態から低インピーダンス状態へと変化するするとともに、第2のスイッチング用MOSFET7bが、第2実施形態におけるスイッチング用MOSFET7と同様に、高インピーダンス状態から低インピーダンス状態へと変化する。

【0032】こうして、第1及び第2のスイッチング用MOSFET7a,7bが高インピーダンス状態から低インピーダンス状態になると、第1及び第2の出力用MOSFET8,9は、第1実施形態と同様に、それぞれのゲートソース間に電荷が充電され、ドレインソース間が高インピーダンス状態から低インピーダンス状態へと変化する。

【0033】そして、入力端子20aから制御信号が入力されなくなると、出力用MOSFET8,9は、それぞれのゲートソース間に充電された電荷が放電回路10を通過して放電するから、第1実施形態と同様に、ドレインソース間が低インピーダンス状態から高インピーダンス状態へと変化する。

【0034】一方、第1及び第2のスイッチング用MOSFET7a,7bは、それぞれのゲートにドレインソース間の位相とは逆位相の制御信号が入力されなくなるから、第1実施形態と同様に、ドレインソース間が低インピーダンス状態から高インピーダンス状態へと変化する。従って、第1及び第2のコンデンサ1,2に充電された電荷は、第1及び第2の出力用MOSFET8,9のいずれのゲートにも流れ込まなくなる。

【0035】かかる半導体スイッチにあっては、第1のスイッチングMOSFET7aが第1のコンデンサ1と第1及び第2の出力用MOSFET8,9のゲートとの間に接続されているだけではなく、第2のスイッチングMOSFET7bが第2のコンデンサ2と第1及び第2の出力用MOSFET8,9のソースとの間に接続されているから、第1のコンデンサ1に充電された電荷の第1及び第

2の出力用MOSFET5,6のゲートへの流れ込みを、第1及び第2の出力用MOSFET8,9のそれぞれを間にそれぞれ挟んだ両側の2箇所では阻止するとともに、第2のコンデンサ2に充電された電荷の第1及び第2の出力用MOSFET8,9のゲートへの流れ込みを、第1及び第2の出力用MOSFET8,9のそれぞれを間にそれぞれ挟んだ両側の2箇所では阻止することになるので、第1及び第2の出力用MOSFET8,9のドレインソース間が、低インピーダンス状態から高インピーダンス状態に変化するのに時間がかからなくなるという第1実施形態の効果を、より一段と信頼性を上げて奏することができる。

【0036】なお、第1乃至第3実施形態では、放電回路10は、放電用抵抗であるが、放電用抵抗に限るものではなく、例えば、図4に示すように放電用抵抗と放電用MOSFETを組み合わせた構成でも、図5に示すように放電用抵抗と放電用JFETを組み合わせた構成でもよい。

【0037】また、第1乃至第3実施形態では、制御信号は、パルス波であるが、パルス波に限るものではなく、例えば、三角波や正弦波でもよい。

【0038】また、第1乃至第3実施形態では、出力用MOSFETは、対をなして2つ設けられているが、1つのみ設けられた構成でも、そのドレインソース間が、低インピーダンス状態から高インピーダンス状態に変化するのに時間がかからなくなるという効果を奏することができる。

【0039】また、第1乃至第3実施形態では、出力用MOSFET8,9は、エンハンスメント型であるが、デプレッション型でも、第1及び第2の出力用MOSFET8,9のドレインソース間のインピーダンス状態が変化する、詳しくは、高インピーダンス状態から低インピーダンス状態に変化するのに時間がかからなくなるという効果を奏することができる。

【0040】

【発明の効果】請求項1記載の発明は、制御信号が入力されなくなると、コンデンサと出力用MOSFETのゲート又はソースの少なくとも一方との間に設けられたスイッチング用MOSFETは、そのゲートにドレインソース間の位相とは逆位相の制御信号が入力されなくな

り、ドレインソースが低インピーダンス状態にならなくなるから、従来例とは異なって、コンデンサに充電された電荷の出力用MOSFETのゲートへの流れ込みが阻止されて、出力用MOSFETのゲートソース間に充電された電荷の放電が遅くならないので、出力用MOSFETのドレインソース間が、低インピーダンス状態から高インピーダンス状態に変化する時間がかからなくなる。

【0041】請求項2記載の発明は、スイッチングMOSFETは、コンデンサと出力用MOSFETのゲートとの間及びコンデンサと出力用MOSFETのソースとの間のいずれにも設けられているから、コンデンサに充電された電荷が出力用MOSFETのゲートへの流れ込みを、出力用MOSFETを間に挟んだ両側の2箇所では阻止することになるので、請求項1記載の発明よりも、電荷の流れ込みを確実に阻止することができ、請求項1記載の発明の効果を一段と信頼性を上げて奏することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の回路図である。

【図2】本発明の第2実施形態の回路図である。

【図3】本発明の第3実施形態の回路図である。

【図4】放電用抵抗及び放電用MOSFETを組み合わせた放電用回路図である。

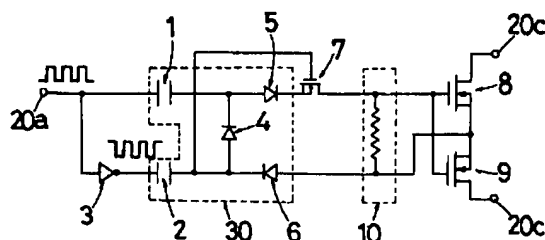
【図5】放電用抵抗及び放電用JFETを組み合わせた放電用回路図である。

【図6】従来例の回路図である。

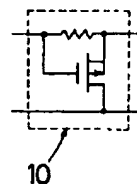
【符号の説明】

- 1 第1のコンデンサ
- 2 第2のコンデンサ
- 3 インバータ
- 4 第1のダイオード
- 5 第2のダイオード
- 6 第3のダイオード
- 7 スwitching用MOSFET
- 8 第1の出力用MOSFET
- 9 第2の出力用MOSFET
- 10 放電回路
- 30 倍電圧整流回路

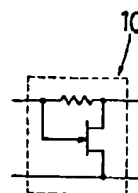
【図1】



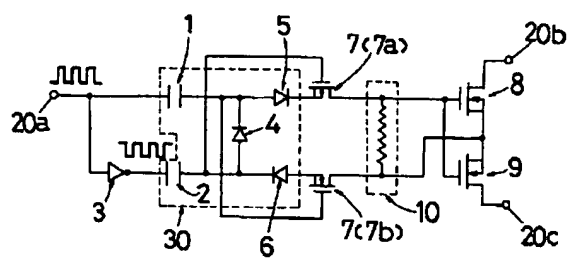
【図4】



【図5】



【図 3】



【図 6】

